

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017654
 (43)Date of publication of application : 17.01.2003

(51)Int.CI. H01L 25/065
 H01L 23/12
 H01L 25/07
 H01L 25/18

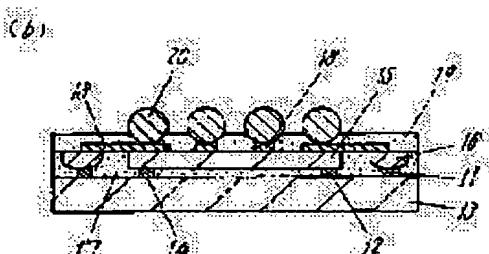
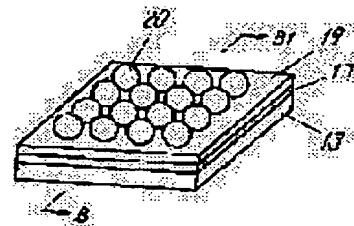
(21)Application number : 2001-203024 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 04.07.2001 (72)Inventor : SAWARA RYUICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reform the package structure because there are various restrictions in forming a semiconductor device on the wafer level while realizing high density and high reliability.

SOLUTION: This high density semiconductor device is a chip-stacking semiconductor manufactured on the wafer level and provided with a first semiconductor chip 13, a second semiconductor chip 15 mounted on the surface thereof, a semicircular ball electrode 16 provided on the first semiconductor chip 13, a resin 17 sealing the peripheral area, a wiring 18 extending on the rear of the second semiconductor chip 15, and a ball electrode 20 provided on the wiring 18 through an opening in a resist resin 19. In this structure, the rear of the second semiconductor chip 15 is subjected to thinning process according to grinding, and the upper surface of the ball electrode 16 is also ground so that the rear of the second semiconductor chip 15 and the surface of the ball electrode 16 are nearly in the same plane to be able to improve reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st semiconductor chip with which the 1st electrode pad and the 2nd electrode pad were formed in the front face at least. The 2nd semiconductor chip carried in the front face of said 1st semiconductor chip by connecting with said 2nd electrode pad by the flip chip. The ball electrode prepared on the 1st [of said 1st semiconductor chip / said] electrode pad, It is the semiconductor device which consists of resin which covered the front face of said 1st semiconductor chip, and closed the gap of said 1st semiconductor chip and 2nd semiconductor chip at least. The rear face of said 2nd semiconductor chip is a semiconductor device which grinding also of the front face of said ball electrode is carried out, and is characterized by the field of the rear face of said 2nd semiconductor chip and the field of the front face of said ball electrode being constituted by the abbreviation same side while thin processing is carried out by grinding.

[Claim 2] The semiconductor device according to claim 1 characterized by having the resist which the end connected with the ball electrode with which grinding of the upper part on the 1st semiconductor chip was carried out, was made to carry out opening of said some of wiring while having wiring with which the other end extended at the rear face of the 2nd semiconductor chip, and covered the rear face of said 1st semiconductor chip and the 2nd semiconductor chip.

[Claim 3] The semiconductor device according to claim 2 characterized by preparing the ball electrode as an external terminal on wiring which carried out opening from the resist.

[Claim 4] The 1st process which prepares the semi-conductor wafer with which two or more 1st semiconductor chip with which the 1st electrode pad and the 2nd electrode pad were formed in the front face at least was formed in the field. The 2nd process which is connected to the 1st electrode pad of said 1st semiconductor chip on said semi-conductor wafer, and forms a ball electrode. The 3rd process which the front-face side is made to counter and carries the 2nd semiconductor chip on the front face of said 1st semiconductor chip on said semi-conductor wafer. Said semi-conductor wafer top from the rear-face side of the 4th process closed by resin, and said 2nd semiconductor chip on said semi-conductor wafer The manufacture approach of the semiconductor device which carries out grinding of the upper part of said ball electrode, and the rear face of said 2nd semiconductor chip, and is characterized by becoming the 5th process which forms the front face of said ball electrode, and the rear face of said 2nd semiconductor chip in an abbreviation same side more.

[Claim 5] The manufacture approach of the semiconductor device according to claim 4 characterized by carrying the 2nd semiconductor chip smaller than the area of the 1st semiconductor chip at the 3rd process.

[Claim 6] The manufacture approach of the semiconductor device according to claim 4 characterized by connecting the 2nd electrode pad of the 1st semiconductor chip, and the electrode pad of the 2nd semiconductor chip, carrying out flip chip bonding at the 3rd process, and carrying.

[Claim 7] The manufacture approach of the semiconductor device according to claim 4 characterized by closing at the 4th process so that the gap of the 1st semiconductor chip in a semi-conductor wafer and the 2nd semiconductor chip and the projection electrode on a semi-conductor wafer may be covered at least.

[Claim 8] The manufacture approach of the semiconductor device according to claim 4 characterized by having the process which forms wiring which connected the end to the ball electrode on a semi-conductor wafer as the 6th process after the 5th process, and made the other end extend at the rear face of the 2nd semiconductor chip.

[Claim 9] The manufacture approach of the semiconductor device according to claim 8 characterized by having the process which forms a ball electrode as an external terminal on wiring which extended at the rear face of the 2nd semiconductor chip on a semi-conductor wafer as the 7th process after the 6th process.

[Claim 10] The manufacture approach of the semiconductor device according to claim 4 which is made to connect the end to the projection electrode on a semi-conductor wafer as the 6th process, is made to carry out opening of said some of formed wiring after the 5th process while forming wiring which made the other end extend at the rear face of the 2nd semiconductor chip, and is characterized by having the process which closes said semi-conductor wafer top by the resist.

[Claim 11] The manufacture approach of the semiconductor device according to claim 10 characterized by having the process which forms a ball electrode on wiring which carried out opening from the resist on wiring which extended at the rear face of the 2nd semiconductor chip on a semi-conductor wafer as the 7th process after the 6th process.

[Claim 12] The manufacture approach of the semiconductor device according to claim 4 characterized by having the process which divides per each [of the 1st semiconductor chip in a semi-conductor wafer] in a final process, and obtains a semiconductor device after the 5th process.

[Claim 13] The manufacture approach of the semiconductor device according to claim 4 characterized by forming the ball electrode of height higher than the rear face of the 2nd semiconductor chip carried at the 3rd process at the 2nd process which is connected to the 1st electrode pad of the 1st semiconductor chip on a semi-conductor wafer, and forms a ball electrode.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention raises the mounting effectiveness to a wiring substrate, makes high density assembly possible, and relates to the semiconductor device which manufactures especially on semi-conductor wafer level, and can realize reliable semiconductor device structure, and its manufacture approach about the semiconductor device and its manufacture approach of the chip size which can realize reliable substrate mounting.

[0002]

[Description of the Prior Art] While high-density-assembly-ization of a semiconductor package with a lead terminal progresses as an external electrode in connection with the lightweight miniaturization of a pocket device, and densification in recent years, in order to plan high density assembly more, the technique of mounting a chip-like semiconductor device in the wiring substrate of electronic equipment etc. is developed.

[0003] Hereafter, it explains, referring to a drawing about the conventional semiconductor device.

[0004] Drawing 5 is drawing showing the conventional semiconductor device, drawing 5 (a) is a configuration perspective view, and drawing 5 (b) is the sectional view of one A-A of drawing 5 (a).

[0005] The semiconductor chip 2 with two or more electrode pads 1 which connected the conventional semiconductor device with the internal semiconductor integrated circuit component in the boundary region on 1 principal plane as shown in drawing 5. The insulating layer 3 which consists of insulating low elastic resin formed on the principal plane field of the semiconductor chip 2 except each electrode pad 1. Two or more contact pads 5 in which two-dimensional arrangement was carried out by rewiring connection by the wiring layer 4 which consists of a metallic conductor linked to each electrode pad 1 on the insulating layer 3 which is in the principal plane of a semiconductor chip 2, and was formed. It is formed on the principal plane of the semiconductor chip 2 except these contact pad 4, and consists of projection electrodes 7, such as the insulating resin layers 6 which protected the electrode pad 1 and the wiring layer 4, such as a solder resist, and a solder ball respectively prepared on the contact pad 5.

[0006] Next, the manufacture approach of the conventional semiconductor device is explained with reference to drawing 6 and drawing 7. Drawing 6 and drawing 7 are the sectional views for every main process showing the manufacture approach of the conventional semiconductor device.

[0007] As first shown in drawing 6 (a), the semi-conductor wafer 8 formed in the field in the semiconductor chip 2 with which two or more electrode pads 1 were formed in the periphery on 1 principal plane, and the semiconductor integrated circuit component was formed is prepared. [two or more]

[0008] Next, as shown in drawing 6 (b), it is on the principal plane of each semiconductor chip 2 in the prepared semi-conductor wafer 8, and an insulating layer 3 is formed with an insulating low spring material so that the principal plane field except two or more surrounding electrode pads 1 may be covered.

[0009] Next, as shown in drawing 6 (c), it is made to extend on the insulating layer 3 which was made to connect an end with the electrode pad 1, and formed the other end on the principal plane of each semiconductor chip 2 of the semi-conductor wafer 8, and the wiring layer 4 which constitutes the contact pad 5 from two-dimensional arrangement is formed.

[0010] Next, as shown in drawing 6 (d), it is the whole abbreviation surface on the principal plane of each semiconductor chip 2 of the semi-conductor wafer 8, and except for the formed contact pad 5, a wiring layer 4 and the electrode pad 1 are covered with insulating resin, and the insulating resin layer 6 is formed.

[0011] Next, as shown in drawing 7 (a), the projection electrode 7 is formed with a conductive ingredient on the contact pad 5 on each semiconductor chip 2 of the semi-conductor wafer 8.

[0012] Next, as shown in drawing 7 (b), to the dicing scribe line 9 between each semiconductor chip 2 of the semi-conductor wafer 8, the rotation blade 10 cuts from a wafer upper part side with the insulating resin layer 6, and each semiconductor device is obtained.

[0013] Next, the semiconductor device separated into the piece of an individual from the semi-conductor wafer is shown in drawing 7 (c), and the configuration is the same as the configuration shown in drawing 5.

[0014] According to each above process, a high density type semiconductor device can be manufactured by the shape of a chip suitable for substrate mounting.

[0015]

[Problem(s) to be Solved by the Invention] However, in said conventional semiconductor device, although the small semiconductor device was realizable, there was a limitation in the further densification demanded in recent years, high integration, and multi-functionalization, and the structural reform of a wafer level package was required.

[0016] Moreover, although the semiconductor device of the stack mold which is made to carry out the laminating of these chips, and constitutes two or more semiconductor chips for densification, high integration, and multi-functionalization was developed, in establishment of the method of construction for structural problems, such as the dependability of the

semiconductor device itself, and the problem in a manufacture process actualizing, and realizing a well head more on mass-production level, the actual condition had problems, such as many man days in a wafer level method of construction.

[0017] It aims at offering a semiconductor device with the high dependability which this invention faced manufacturing a high density semiconductor device on semi-conductor wafer level with solution of said conventional technical problem in response to the request of a high density package technique in recent years, and was more efficient, and could manufacture, and raised the dependability of detailed wiring processing and wiring, and its manufacture approach.

[0018]

[Means for Solving the Problem] In order to solve said conventional technical problem the semiconductor device of this invention The 1st semiconductor chip with which the 1st electrode pad and the 2nd electrode pad were formed in the front face at least, The 2nd semiconductor chip carried in the front face of said 1st semiconductor chip by connecting with said 2nd electrode pad by the flip chip. The ball electrode prepared on the 1st [of said 1st semiconductor chip / said] electrode pad, It is the semiconductor device which consists of resin which covered the front face of said 1st semiconductor chip, and closed the gap of said 1st semiconductor chip and 2nd semiconductor chip at least. The rear face of said 2nd semiconductor chip is a semiconductor device with which grinding also of the front face of said ball electrode is carried out, and the field of the rear face of said 2nd semiconductor chip and the field of the front face of said ball electrode are constituted by the abbreviation same side while thin processing is carried out by grinding.

[0019] And it is a semiconductor device with the resist which the end specifically connected with the ball electrode with which grinding of the upper part on the 1st semiconductor chip was carried out, was made to carry out opening of said some of wiring while having wiring with which the other end extended at the rear face of the 2nd semiconductor chip, and covered the rear face of said 1st semiconductor chip and the 2nd semiconductor chip.

[0020] Moreover, it is the semiconductor device with which the ball electrode is prepared as an external terminal on wiring which carried out opening from the resist.

[0021] The semiconductor device of this invention is the high density package with which flip chip mounting of the 2nd semiconductor chip was carried out on the 1st semiconductor chip as said configuration, and since the field of the rear face of the 2nd semiconductor chip and the field of the front face of a ball electrode are constituted by the abbreviation same side, it is a semiconductor device with the high dependability on structure. Since the field which carries out rewiring to the ball electrode surface to which grinding of the upper part was carried out, i.e., the rear face of the 2nd semiconductor chip, is an abbreviation same side when an electrode is taken about by rewiring and it constitutes on the rear face of the 2nd semiconductor chip especially, an open circuit of wiring is prevented and the semiconductor device of a reliable high density wiring mold can be realized. Since the electrode furthermore prepared on the 1st [of the 1st semiconductor chip] electrode pad is a ball electrode and is an electrode which has a capacity big [volume] in area, I/O of a signal becomes high-speed and it can realize the semiconductor device of high-speed operation.

[0022] The 1st process for which the manufacture approach of the semiconductor device of this invention prepares the semi-conductor wafer with which two or more 1st semiconductor chip with which the 1st electrode pad and the 2nd electrode pad were formed in the front face at least was formed in the field, The 2nd process which is connected to the 1st electrode pad of said 1st semiconductor chip on said semi-conductor wafer, and forms a ball electrode, The 3rd process which the front-face side is made to counter and carries the 2nd semiconductor chip on the front face of said 1st semiconductor chip on said semi-conductor wafer, Said semi-conductor wafer top from the rear-face side of the 4th process closed by resin, and said 2nd semiconductor chip on said semi-conductor wafer It is the manufacture approach of the semiconductor device which serves as more the 5th process which carries out grinding of the upper part of said ball electrode, and the rear face of said 2nd semiconductor chip, and forms the front face of said ball electrode, and the rear face of said 2nd semiconductor chip in an abbreviation same side.

[0023] And specifically, it is the manufacture approach of a semiconductor device of carrying the 2nd semiconductor chip smaller than the area of the 1st semiconductor chip at the 3rd process.

[0024] Moreover, it is the manufacture approach of the carried semiconductor device which is made to connect the 2nd electrode pad of the 1st semiconductor chip, and the electrode pad of the 2nd semiconductor chip, and carries out flip chip bonding at the 3rd process.

[0025] Moreover, it is the manufacture approach of the semiconductor device closed at the 4th process so that the gap of the 1st semiconductor chip in a semi-conductor wafer and the 2nd semiconductor chip and the projection electrode on a semi-conductor wafer may be covered at least.

[0026] Moreover, it is the manufacture approach of a semiconductor device of having the process which forms wiring which connected the end to the ball electrode on a semi-conductor wafer, and made the other end extending at the rear face of the 2nd semiconductor chip, as the 6th process after the 5th process.

[0027] Moreover, it is the manufacture approach of a semiconductor device of having the process which forms a ball electrode as an external terminal as the 7th process on wiring which extended at the rear face of the 2nd semiconductor chip on a semi-conductor wafer, after the 6th process.
 [0028] Moreover, it is the manufacture approach of a semiconductor device of having the process which is made connecting the end to the projection electrode on a semi-conductor wafer, is made carrying out opening of said some of formed wiring while forming wiring which made the other end extending at the rear face of the 2nd semiconductor chip, and closes said semi-conductor wafer top by the resist, as the 6th process after the 5th process.

[0029] Moreover, it is the manufacture approach of a semiconductor device of having the process which forms a ball electrode on wiring which carried out opening as the 7th process from the resist on wiring which extended at the rear face of the 2nd semiconductor chip on a semi-conductor wafer, after the 6th process.

[0030] Moreover, it is the manufacture approach of a semiconductor device of having the process which divides per each [of the 1st semiconductor chip in a semi-conductor wafer] in a final process, and obtains a semiconductor device after the 5th process.

[0031] Furthermore, it is the manufacture approach of the semiconductor device which forms the ball electrode of height

higher than the rear face of the 2nd semiconductor chip carried at the 3rd process at the 2nd process which is connected to the 1st electrode pad of the 1st semiconductor chip on a semi-conductor wafer, and forms a ball electrode.

[0032] As said configuration, the manufacture approach of the semiconductor device of this invention The electrode of the shape of a larger ball in area than other volume internal electrodes is formed on the semi-conductor wafer with which the 1st semiconductor chip was formed. By performing grinding from a front-face side, after carrying the 2nd semiconductor chip on the wafer and covering a wafer front face with resin It can be made to be able to expose by making the parietal region of a ball electrode, and the rear face of the 2nd semiconductor chip into the same side, and on semi-conductor wafer level, it faces manufacturing a high density semiconductor device, and it is more efficient and can manufacture. Moreover, the manufacture approach of a semiconductor device with the high dependability which raised the dependability of detailed wiring processing and wiring is realizable. a pan — by forming the ball electrode of high height, it becomes possible to carry out grinding from the rear-face side of the 2nd semiconductor chip, and to carry out figuring of the rear face of the 2nd semiconductor chip, and the parietal region of a ball electrode, the height of a high ball electrode is adjusted, and laminating chip structure can be realized.

[0033]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of the semiconductor device of this invention and its manufacture approach is explained, referring to a drawing.

[0034] The semiconductor device of this operation gestalt is explained first.

[0035] Drawing 1 is drawing showing the semiconductor device of this operation gestalt. In drawing 1 , drawing 1 (a) is a configuration perspective view, and drawing 1 (b) is the sectional view of one B-B in drawing 1 (a).

[0036] As shown in drawing 1 , as a semiconductor device of this operation gestalt, it is the semiconductor device of a real chip-size package (R CSP) mold, and is the R CSP mold semiconductor device of the chip laminating mold which consisted of two semiconductor chips. The 1st semiconductor chip 13 with which the 1st electrode pad 11 and the 2nd electrode pad 12 were formed in the front face at least as the configuration. The 2nd semiconductor chip 15 carried in the front face of the 1st semiconductor chip 13 by countering at the front-face side of the 1st semiconductor chip 13, and connecting a flip chip mounting, i.e., front face, side with the 2nd electrode pad 12 and electrode pad 14. The ball electrode 16 which consists of gold (Au) of the shape of the pole of the shape of a hemicycle established on the 1st [of the 1st semiconductor chip 13] electrode pad 11 (a cylinder or prism), or copper (Cu) material. It is the semiconductor device which consists of resin 17 which covered the front face of the 1st semiconductor chip 13, and closed the gap of the 1st semiconductor chip 13 and the 2nd semiconductor chip 15 at least. the rear face of the 2nd semiconductor chip 15 — grinding — 50-100 [μm] extent, while thin processing is preferably carried out to 70 [μm] Grinding also of the up front face of the ball electrode 16 is carried out, and it is formed in the shape of a semicircle, and is the semiconductor device with which the field of the rear face of the 2nd semiconductor chip 15 and the field of the front face of the ball electrode 16 are constituted by the abbreviation same side. And while having the wiring 18 with which the end connected with the ball electrode 16 on the 1st semiconductor chip 13, and the other end extended at the rear face of the 2nd semiconductor chip 15 It is a semiconductor device with resist resin 19, such as a solder resist which was made to carry out opening of some of these wiring 18, and covered the rear face of the 1st semiconductor chip 13 and the 2nd semiconductor chip 15. It is the semiconductor device of the high density wiring mold of 2 chip laminating which the ball electrode 20 was formed on the wiring 18 which carried out opening from resist resin 19, and adopted area arrangement as an external electrode. In addition, although not illustrated with this operation gestalt, the insulating thin film is formed on the rear face of the 2nd semiconductor chip 15.

[0037] And although the area arrangement of the external electrode can be carried out by connecting with the parietal region of the ball electrode 16 with wiring 18, and carrying out rewiring if needed, external electrode elements, such as the ball electrode 20, may be directly attached to the parietal region of the ball electrode 16, and an external electrode may constitute a peripheral type semiconductor device from a semiconductor device of this operation gestalt.

[0038] Moreover, the semiconductor device of this operation gestalt is the high density package with which flip chip mounting of the 2nd semiconductor chip 15 was carried out on the 1st semiconductor chip 13, and since the field of the rear face of the 2nd semiconductor chip 15 and the field of the front face of the ball electrode 16 are constituted by the abbreviation same side, and there is little level difference section, it is a semiconductor device with the high dependability on structure. Since the field of the ball electrode 16 and the field which carries out rewiring, i.e., the rear face of the 2nd semiconductor chip 15, are abbreviation same sides when an electrode is taken about by rewiring and it constitutes on the rear face of the 2nd semiconductor chip 15 especially, an open circuit of wiring 18 is prevented and the semiconductor device of a reliable high density wiring mold can be realized.

[0039] moreover, the thing which resin 17 is low elastic body resin, and is been in the range of 10-2000 [kg/mm²] as an elastic modulus (Young's modulus) in this operation gestalt — desirable — further — it is more desirable that it is in the range of 10-1000 [kg/mm²]. Moreover, as for the coefficient of linear expansion of resin 17, it is desirable that it is in the range of 5-200 [ppm/**], and it is more desirable that it is in a pan in the range of 10-100 [ppm/**]. For example, are good at polymers, such as ester bond mold polyimide and acrylate system epoxy, to have a low elastic modulus, and what is necessary is just insulation. Moreover, as the thickness, it is 1-100 [μm] and is 30 [μm] preferably. the mounting approach in the case of substrate mounting besides [which furthermore has elasticity as resin 17 in the semiconductor device of this operation gestalt] resin — depending on how, insulating resin, such as polyimide more than 5[μm] thickness, is sufficient.

[0040] Moreover, as shown in drawing 1 , the edge surface part of resin 17 and resist resin 19 may be constituted so that it is not made to expose to the same side, but ** may also expose the scribe line edge of the edge of the 1st semiconductor chip 13 and the edge surface part of resin and resist resin may expose it, although it has exposed to the same field as the end face of the 1st semiconductor chip 13 in a cross-section configuration. In this case, it becomes the structure where exfoliation with 17 layers of resin and the 1st semiconductor chip 13 can be prevented.

[0041] Moreover, although the solder ball is adopted as a ball electrode 20 with this operation gestalt, the projection electrode of the shape of a bump by the metallic material is sufficient.

[0042] And since the wiring 18 which serves as an external electrode two-dimensional on a semiconductor chip is arranged, while becoming possible to prepare many external electrodes in a narrow area, it is the structure where an electrode pad and wiring are connectable with wiring in which pattern formation is possible. Therefore, it is a small thin semiconductor device, and is the semiconductor device which can respond to many pin-ization. And it is the semiconductor device which fits micro processing and can respond to many pin-ization.

[0043] Furthermore, the ball electrodes 20, such as a solder ball, are formed on wiring 18, and although the process which carries a semiconductor device in a mounting wiring substrate has structure which can be performed very simply and quickly, the thermal stress generated from the solder ball which has big heat capacity is absorbable [with resin 17] also in that case.

[0044] The semiconductor device of this operation gestalt is the high density package with which flip chip mounting of the 2nd semiconductor chip 15 was carried out on the 1st semiconductor chip 13 as above, and since the field of the rear face of the 2nd semiconductor chip 15 and the field of the front face of the ball electrode 16 are constituted by the abbreviation same side, it is a semiconductor device with the high dependability on structure. Since the field of the ball electrode 16 and the field which carries out rewiring, i.e., the rear face of the 2nd semiconductor chip 15, are abbreviation same sides when an electrode is taken about by rewiring and it constitutes on the rear face of the 2nd semiconductor chip 15 especially, an open circuit of wiring 18 is prevented and the semiconductor device of a reliable high density wiring mold can be realized. Moreover, since the electrode prepared on the 1st [of the 1st semiconductor chip 13] electrode pad 11 is the ball electrode 16 and is an electrode which has a capacity big [volume] in area, I/O of a signal becomes high-speed and it can realize the semiconductor device of high-speed operation.

[0045] Next, the manufacture approach of the semiconductor device of this operation gestalt is explained.

[0046] Drawing 2, drawing 3, and drawing 4 are the partial sectional views for every main process showing the manufacture approach of the semiconductor device of this operation gestalt.

[0047] The manufacture approach of the semiconductor device of this operation gestalt is a method of construction which manufactures a semiconductor device (semiconductor package) on semi-conductor wafer level, and is the manufacture approach of a reliable real chip-size package.

[0048] As first shown in drawing 2 (a), the 1st semiconductor chip 13 with which the 1st electrode pad 11 and the 2nd electrode pad 12 were formed in the front face at least prepares the semi-conductor wafer 21 formed in the field. [two or more]

[0049] Next, as shown in drawing 2 (b), the ball electrode 16 of the shape of a ball which is connected to the 1st electrode pad 11 of the 1st semiconductor chip 13 on the prepared semi-conductor wafer 21, and consists of solder, gold (Au), or copper (Cu) material is formed. Here, the ball electrode of the height of 300 [mum] extent is formed by carrying the ball electrode into which the ball shape which consists of solder was processed. Formation of this ball electrode 16 is enough to obtain the height which 100 [mum] ** satisfy unlike the growth formation by plating. Moreover, in case it is made to connect with the 1st electrode pad 11 of the 1st semiconductor chip 13 on a semi-conductor wafer and the ball electrode 16 is formed, the ball electrode 16 is formed in height higher than the rear face of the 2nd semiconductor chip carried at a next process.

[0050] Next, as shown in drawing 2 (c), on the front face of the 1st semiconductor chip 13 on the semi-conductor wafer 21, the front-face side is made to counter and the 2nd semiconductor chip 15 is carried. Among drawing, the rear face of the 2nd semiconductor chip 15 and the parietal region side of the ball electrode 16 have a level difference, and are high, and the direction of the rear face of the 2nd semiconductor chip 15 is located caudad. [of the field of the ball electrode 16] Moreover, the 2nd semiconductor chip 15 smaller than the area of the 1st semiconductor chip 13 is carried, and as the loading approach, the 2nd electrode pad 12 of the 1st semiconductor chip 13 and the electrode pad 14 of the 2nd semiconductor chip 15 are connected, and flip chip bonding is carried out and it carries here. Therefore, a bump may be beforehand formed on the 2nd electrode pad 12 of the 1st semiconductor chip 13, or the electrode pad 14 of the 2nd semiconductor chip 15, and flip chip mounting may be carried out.

[0051] Next, as shown in drawing 2 (d), package closure of the top-face (front face) side of the semi-conductor wafer 21 is extensively carried out by resin 17. As a field closed by resin 17, it is filled up with the gap of the 1st semiconductor chip 13 in the semi-conductor wafer 21, and the 2nd semiconductor chip 15 at least, and the parietal region of the ball electrode 16 is covered further, and it closes with thickness extent of a up to near the rear face of the 2nd semiconductor chip 15. And at this process, since it is the complete package closure fundamentally, it is suitable for mass production.

Moreover, although package closure of the whole wafer surface is carried out by the transfer mold, opening of the scribe line which divides between each semiconductor chip may be carried out, and you may close by resin 17. In case dicing is carried out at a back process by carrying out opening of the scribe line and closing by resin 17, exfoliation between resin 17 and a semiconductor chip (the 1st semiconductor chip 13) is prevented, and a dependability fall can be prevented. In this case, by applying the insulating resin ingredient of low elasticity which has photosensitivity by desired thickness, and drying, a resin layer is formed, exposure and development are performed one by one to the dried resin layer, opening of the part of a scribe line is carried out, and resin is formed. As a resin ingredient which has photosensitivity, are good at polymers, such as ester bond mold polyimide and acrylate system epoxy, to have a low elastic modulus, for example, and what is necessary is just insulation. Moreover, the resin ingredient which has photosensitivity may use the ingredient which did not need to be made to dry a liquefied ingredient, did not need to form and was beforehand formed in the shape of a film. In that case, opening can be formed in a resin ingredient in sticking a film-like resin ingredient on a semi-conductor wafer, setting it, and exposing and developing it, and the need part on a semi-conductor wafer can be exposed.

Furthermore, in the case of the resin ingredient which does not have photosensitivity, the need part on a semi-conductor wafer can be exposed by mechanical processing by laser or the plasma, or chemical processing of etching etc.

[0052] Next, as shown in drawing 3 (a), from the rear-face side of the 2nd semiconductor chip 15 on the semi-conductor wafer 21, grinding of the upper part of the ball electrode 16 and the rear face of the 2nd semiconductor chip 15 is carried out with resin 17, and the front face (parietal region) of the ball electrode 16 and the rear face of the 2nd semiconductor chip 15 are formed in an abbreviation same side. Here, while carrying out grinding from the rear-face side of the 2nd

semiconductor chip 15 using the back grinder which carries out grinding of the rear face of the usually used semiconductor wafer and carrying out thin processing of the thickness of the 2nd semiconductor chip 15, grinding also of the ball electrode 16 is carried out, it considers as the shape of a hemicycle in a cross-section configuration, and a both side is processed on the same field. As thickness which carries out thin processing, by [of 50-100 [μm] extent] carrying out grinding of the thickness of the 2nd semiconductor chip 15 to 70 [μm] thickness preferably, the field of the parietal region of the ball electrode 16 is also adjusted, and the front face (parietal region) of the ball electrode 16 and the rear face of the 2nd semiconductor chip 15 are formed in the same side. In addition, as thickness of the 2nd semiconductor chip 15, it sets up in consideration of stress balance with the thickness of the 1st last semiconductor chip 13. With this operation gestalt, the 1st semiconductor chip 13 thickness (semi-conductor wafer 21 thickness) is set as 200 [μm]. [0053] With this operation gestalt, securing the height of the ball electrode 16, by carrying out grinding from the rear-face side of the 2nd semiconductor chip 15, it becomes possible to carry out figuring of the rear face of the 2nd semiconductor chip 15, and the parietal region of the ball electrode 16, the height of the 2nd semiconductor chip 15 is adjusted, and laminating chip structure can be realized.

[0054] A semiconductor device can be formed by laminating loading of the 2nd semiconductor chip 15 being carried out on the 1st semiconductor chip 13 by the above process, and the parietal region of the ball electrode 16 being exposed, and carrying out dicing to each 1st semiconductor chip 13 unit, and dividing in this phase, although structure where the covering closure of the surface field was carried out by resin 17 is realized. The parietal region of the ball electrode 16 exposes the semiconductor device formed in this phase, that arrangement is a semiconductor device of the chip size which is peripheral arrangement, and structure suitable for substrate mounting can be realized by attaching the ball electrode (solder ball) as an external terminal further on the ball electrode 16.

[0055] Next, the process which forms an area array type semiconductor device is explained following a last process.

[0056] As shown in drawing 3 (b), the end is connected to the front face of the ball electrode 16 of the shape of a semicircle on the semi-conductor wafer 21, the wiring 18 which made the other end extend at the rear face of the 2nd semiconductor chip 15 is formed, and rewiring is performed. In this case, wiring 18 is taken about according to a request so that an area array may be constituted.

[0057] Specifically, the thin film metal layer which consists for example, of the titanium (Ti) film whose thickness is 0.2 [μm] extent and the copper (Cu) film whose thickness formed on it is 0.5 [μm] extent by the vacuum deposition method, the sputtering method, the CVD method, or the nonelectrolytic plating method is first formed in the rear face of the 2nd semiconductor chip 15 on the semi-conductor wafer 21, and the ball electrode 16. And a negative-mold photosensitivity resist is applied on the formed thin film metal layer, it hardens except the pattern section of a request of a finishing product, and the plating resist film is formed by removing the reaction section. Although the negative-mold photosensitivity resist was used here when forming the plating resist film, it cannot be overemphasized that a positive type photosensitivity resist may be used. And by the electrolysis galvanizing method, the thick-film metal layer which consists for example, of Cu film is alternatively formed by the thickness of for example, 20 [μm] extent on thin film metal layers other than the part in which the plating resist film was formed. And melting removal of the plating resist film is carried out after formation of a thick-film metal layer. And if it is a cupric-chloride solution and overall etching is carried out with an EDTA solution to Ti film to the etching reagent which can fuse a thin film metal layer and a thick-film metal layer, for example, Cu film, a thin film metal layer with thickness thinner than a thick-film metal layer will precede, and will be removed. According to this process, it extends at the rear face of the 2nd semiconductor chip 15, and the wiring 18 linked to the ball electrode 16 can be formed.

[0058] In addition, although Cu was used as an ingredient which constitutes a thin film metal layer and a thick-film metal layer, it may replace with this and Cr, W, Ti/Cu, nickel, etc. may be used. Moreover, a metallic material different, respectively constitutes the thin film metal layer and the thick-film metal layer, and the etchant which etches only a thin film metal layer alternatively may be used at a final etching process.

[0059] Next, as shown in drawing 3 (c), it carries out opening, using some formed wiring 18 as a ball electrode attachment field (contact pad), and the semi-conductor wafer 21 top is closed by resist resin 19, such as a solder resist.

[0060] After applying the photosensitive solder resist film (insulating resin), as a photolithography technique is used and the dicing scribe line between each semiconductor chip of the semi-conductor wafer 21 exposes it the part of the wiring 18 to carry out opening, and if needed, specifically, the solder resist film is formed. Wiring 18 etc. is protected from the solder fused at the time of mounting by this solder resist film.

[0061] Next, as shown in drawing 3 (d), the ball electrode 20 as an external terminal is formed on the wiring 18 which carried out opening from the resist resin 19 on the wiring 18 which extended at the rear face of the 2nd semiconductor chip 15 on the semi-conductor wafer 21. Here, a solder ball is attached as a ball electrode 20.

[0062] The metal ball electrode 20 which consists of solder, copper by which solder plating was carried out, nickel, etc. is specifically laid on the wiring 18 which carried out opening and which was exposed from resist resin, and fused junction of the ball electrode 20 and the wiring 18 is carried out.

[0063] Next, as shown in drawing 4 (a), in a final process, it divides with a scribe line per each [of the 1st semiconductor chip 13 in the semi-conductor wafer 21], and a semiconductor device is obtained. Here, it divides per semiconductor chip of each [cutting with the rotation blade 22] to the dicing scribe line between each 1st semiconductor chip 13 of the semi-conductor wafer 21.

[0064] Although drawing 4 (a) shows the condition of carrying out cutting division of the semi-conductor wafer with resin 17 here, when not making resin and resist resin exist on the dicing scribe line of a semi-conductor wafer, by blade cutting in the case of piece[of an individual]-izing, to resin and resist resin, the impact at the time of cutting and external pressure are not impressed, but it can prevent that exfoliation occurs between a semi-conductor wafer and resin.

[0065] And as shown in drawing 4 (b), the RCoP mold semiconductor device of the chip laminating mold which consisted of two semiconductor chips like structure shown in drawing 1 can be manufactured by piece[of an individual]-izing from a semi-conductor wafer. Moreover, as shown in drawing 4 R>4 (c), the rear-face side of the 1st semiconductor chip 13 may be made thin by grinding. Dependability can realize a semiconductor device with the high dependability at the time of

substrate mounting highly more by setting up the thickness of this 1st semiconductor chip 13 and the 2nd semiconductor chip 15 in consideration of the effect of the stress impressed to the curvature or flip-chip-bonding part of the chip by each chip area, the configuration, and resin thickness.

[0066] As mentioned above, the semiconductor device of this operation gestalt is the high density package with which flip chip mounting of the 2nd semiconductor chip was carried out on the 1st semiconductor chip, and since the field of the rear face of the 2nd semiconductor chip and the field of the front face of a projection electrode are constituted by the abbreviation same side, it is a semiconductor device with the high dependability on structure. Since the field which carries out rewiring to a projection electrode surface, i.e., the rear face of the 2nd semiconductor chip, is an abbreviation same side when an electrode is taken about by rewiring and it constitutes on the rear face of the 2nd semiconductor chip especially, an open circuit of wiring is prevented and the semiconductor device of a reliable high density wiring mold can be realized. Moreover, the manufacture approach of the semiconductor device of this operation gestalt forms a pole-like projection electrode in the semi-conductor wafer with which the 1st semiconductor chip was formed. By performing grinding from a front-face side, after carrying the 2nd semiconductor chip on the wafer and covering a wafer front face with resin It can be made to be able to expose by making the parietal region of a projection electrode, and the rear face of the 2nd semiconductor chip into the same side, and on semi-conductor wafer level, it faces manufacturing a high density semiconductor device, and it is more efficient and can manufacture. Moreover, the manufacture approach of a semiconductor device with the high dependability which raised the dependability of detailed wiring processing and wiring is realizable. Since package-processing is adopted especially in the state of a wafer, it is the outstanding mass production manufacture method of construction.

[0067]

[Effect of the Invention] As mentioned above, since the field of the rear face of the 2nd semiconductor chip and the field of the front face of a ball electrode are constituted by the abbreviation same side, a semiconductor device with the high dependability on structure is realizable [the semiconductor device of this invention is the high density package of a chip laminating mold, and], as the operation gestalt explained to the detail. Since the electrode furthermore prepared on the 1st [of the 1st semiconductor chip] electrode pad is a ball electrode and is an electrode which has a capacity big [volume] in area, I/O of a signal becomes high-speed and it can realize the semiconductor device of high-speed operation.

[0068] Moreover, the manufacture approach of the semiconductor device of this invention is an outstanding method of construction which manufactures a semiconductor device (semiconductor package) on semi-conductor wafer level, is suitable for mass-production nature, and can realize the manufacture approach of the semiconductor device of a reliable real chip-size package mold.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the semiconductor device of 1 operation gestalt of this invention

[Drawing 2] The sectional view showing the manufacture approach of the semiconductor device of 1 operation gestalt of this invention

[Drawing 3] The sectional view showing the manufacture approach of the semiconductor device of 1 operation gestalt of this invention

[Drawing 4] The sectional view showing the manufacture approach of the semiconductor device of 1 operation gestalt of this invention

[Drawing 5] Drawing showing the conventional semiconductor device

[Drawing 6] The sectional view showing the manufacture approach of the conventional semiconductor device

[Drawing 7] The sectional view showing the manufacture approach of the conventional semiconductor device

[Description of Notations]

1 Electrode Pad

2 Semiconductor Chip

3 Insulating Layer

4 Wiring Layer

5 Contact Pad

6 Insulating Resin Layer

7 Projection Electrode

8 Semi-conductor Wafer

9 Dicing Scribe Line

10 Rotation Blade

11 1st Electrode Pad

12 2nd Electrode Pad

13 1st Semiconductor Chip

14 Electrode Pad

15 2nd Semiconductor Chip

16 Ball Electrode

17 Resin

18 Wiring

19 Resist Resin

20 Ball Electrode

21 Semi-conductor Wafer

22 Rotation Blade

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-17654

(P2003-17654A)

(43)公開日 平成15年1月17日 (2003.1.17)

(51) Int.Cl.
H 01 L 25/065
23/12
25/07
25/18

識別記号

5 0 1

F I
H 01 L 23/12
25/08

テ-マコード(参考)

5 0 1 P
B

審査請求 未請求 請求項の数13 O.L (全 10 頁)

(21)出願番号 特願2001-203024(P2001-203024)

(22)出願日 平成13年7月4日 (2001.7.4)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 佐原 隆一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

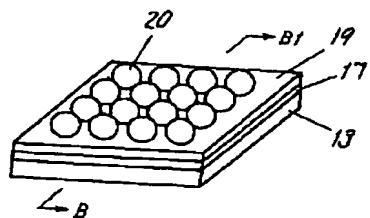
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

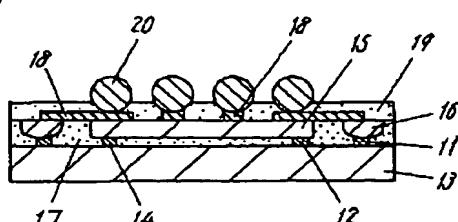
【課題】 高密度化、高信頼性を実現してウェハーレベルで半導体装置を形成するには、種々の規制があり、パッケージ構造の改革が必要であった。

【解決手段】 ウェハーレベルで製造されるチップ積層型の半導体装置であり、第1の半導体チップ13と、その表面に実装された第2の半導体チップ15と、第1の半導体チップ13上に設けられた半円状のポール電極16と、外周を封止した樹脂17と、第2の半導体チップ15の裏面に配線18が延在し、レジスト樹脂19から開口した配線18上に外部端子としてポール電極20が設けられた高密度の半導体装置である。この構造により、第2の半導体チップ15の裏面は研削により薄厚加工されているとともに、ポール電極16の上部表面も研削され、第2の半導体チップ15の裏面とポール電極16の表面とが略同一面に構成されているため、信頼性を向上させることができる。

(a)



(b)



【特許請求の範囲】

【請求項1】 表面に少なくとも第1の電極パッドと第2の電極パッドが形成された第1の半導体チップと、前記第1の半導体チップの表面にフリップチップで前記第2の電極パッドと接続して搭載された第2の半導体チップと、

前記第1の半導体チップの前記第1の電極パッド上に設けられたポール電極と、

前記第1の半導体チップの表面を覆い、少なくとも前記第1の半導体チップと第2の半導体チップとの間隙を封止した樹脂とよりなる半導体装置であって、前記第2の半導体チップの裏面は研削により薄厚加工されているとともに、前記ポール電極の表面も研削され、前記第2の半導体チップの裏面の面と前記ポール電極の表面の面とが略同一面に構成されていることを特徴とする半導体装置。

【請求項2】 その一端が第1の半導体チップ上の上部が研削されたポール電極と接続し、他端が第2の半導体チップの裏面に延在した配線を有するとともに、前記配線の一部を開口させて前記第1の半導体チップおよび第2の半導体チップの裏面を覆ったレジストを有したこととを特徴とする請求項1に記載の半導体装置。

【請求項3】 レジストから開口した配線上に外部端子としてポール電極が設けられていることを特徴とする請求項2に記載の半導体装置。

【請求項4】 その表面に少なくとも第1の電極パッドと第2の電極パッドが形成された第1の半導体チップがその面内に複数個形成された半導体ウェハーを用意する第1工程と、

前記半導体ウェハー上の前記第1の半導体チップの第1の電極パッドに接続させてポール電極を形成する第2工程と、

前記半導体ウェハー上の前記第1の半導体チップの表面上に第2の半導体チップをその表面側を対向させて搭載する第3工程と、

前記半導体ウェハー上を樹脂で封止する第4工程と、前記半導体ウェハー上の前記第2の半導体チップの裏面側から、前記ポール電極の上部および前記第2の半導体チップの裏面を研削し、前記ポール電極の表面と前記第2の半導体チップの裏面とを略同一面に形成する第5工程と、よりなることを特徴とする半導体装置の製造方法。

【請求項5】 第3工程では、第1の半導体チップの面積よりも小さい第2の半導体チップを搭載することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 第3工程では、第1の半導体チップの第2の電極パッドと第2の半導体チップの電極パッドとを接続させてフリップチップ接続して搭載することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】 第4工程では、少なくとも半導体ウェハ

ー内の第1の半導体チップと第2の半導体チップとの間隙、半導体ウェハー上の突起電極を覆うように封止することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項8】 第5工程の後、第6工程として、その一端を半導体ウェハー上のポール電極に接続させ、他端を第2の半導体チップの裏面に延在させた配線を形成する工程を有することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項9】 第6工程の後、第7工程として、半導体ウェハー上の第2の半導体チップの裏面に延在した配線上に外部端子としてポール電極を形成する工程を有することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 第5工程の後、第6工程として、その一端を半導体ウェハー上の突起電極に接続させ、他端を第2の半導体チップの裏面に延在させた配線を形成するとともに、前記形成した配線の一部を開口させ、前記半導体ウェハー上をレジストで封止する工程を有することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項11】 第6工程の後、第7工程として、半導体ウェハー上の第2の半導体チップの裏面に延在した配線上のレジストから開口した配線上にポール電極を形成する工程を有することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 第5工程の以降、最終工程では半導体ウェハー内の第1の半導体チップの各単位に分割して半導体装置を得る工程を有することを特徴とする請求項4に記載の半導体装置の製造方法。

30 【請求項13】 半導体ウェハー上の第1の半導体チップの第1の電極パッドに接続させてポール電極を形成する第2工程では、第3工程で搭載する第2の半導体チップの裏面よりも高い高さのポール電極を形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、配線基板への実装効率を高め、高密度実装を可能にし、信頼性の高い基板実装を実現できるチップサイズの半導体装置およびその製造方法に関するものであり、特に半導体ウェハーレベルで製造し、かつ信頼性の高い半導体装置構造を実現できる半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、携帯機器の軽量小型化、高密度化にともない、リード端子を外部電極として有した半導体パッケージの高密度実装化が進む中、より高密度実装を図るため、チップ状の半導体装置を電子機器の配線基板等に実装する技術が開発されている。

50 【0003】 以下、従来の半導体装置について図面を参

照しながら説明する。

【0004】図5は従来の半導体装置を示す図であり、図5(a)は構成斜視図であり、図5(b)は図5(a)のA-A1箇所の断面図である。

【0005】図5に示すように従来の半導体装置は、一主面上の周辺領域に内部の半導体集積回路素子と接続した複数の電極パッド1を有した半導体チップ2と、各電極パッド1を除く半導体チップ2の主面領域上に形成された絶縁性の低弾性樹脂よりなる絶縁層3と、半導体チップ2の主面内であって、形成された絶縁層3上に各電極パッド1と接続した金属導体よりなる配線層4により再配線接続で2次元配置された複数のコンタクトパッド5と、それらコンタクトパッド4を除く半導体チップ2の主面上に形成され、電極パッド1、配線層4を保護したソルダーレジストなどの絶縁性樹脂層6と、コンタクトパッド5上に各々設けられた半田ボールなどの突起電極7より構成されている。

【0006】次に従来の半導体装置の製造方法について、図6、図7を参照して説明する。図6、図7は従来の半導体装置の製造方法を示す主要工程ごとの断面図である。

【0007】まず図6(a)に示すように、一主面上の周辺部に複数の電極パッド1が形成され、半導体集積回路素子が形成された半導体チップ2をその面内に複数個形成された半導体ウェハー8を用意する。

【0008】次に図6(b)に示すように、用意した半導体ウェハー8内の各半導体チップ2の主面上であって、周辺の複数の電極パッド1を除く主面領域を覆うように絶縁性の低弾性材料により絶縁層3を形成する。

【0009】次に図6(c)に示すように、半導体ウェハー8の各半導体チップ2の主面上において、一端を電極パッド1と接続させ、他端を形成した絶縁層3上に延在させ、2次元配置でコンタクトパッド5を構成する配線層4を形成する。

【0010】次に図6(d)に示すように、半導体ウェハー8の各半導体チップ2の主面上の略全面であって、形成したコンタクトパッド5を除いて配線層4、電極パッド1を絶縁性樹脂で被覆して絶縁性樹脂層6を形成する。

【0011】次に図7(a)に示すように、半導体ウェハー8の各半導体チップ2上のコンタクトパッド5上に導電性材料により突起電極7を形成する。

【0012】次に図7(b)に示すように、半導体ウェハー8の各半導体チップ2間のダイシングスクリーヴライン9に対して、ウェハー上方側から回転ブレード10により絶縁性樹脂層6とともに切断して、個々の半導体装置を得る。

【0013】次に図7(c)には、半導体ウェハーから個片に分離した半導体装置を示し、構成は図5に示した構成と同様である。

【0014】以上のような各工程により、基板実装に適したチップ状で高密度タイプの半導体装置を製造できるものである。

【0015】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置においては、小型の半導体装置を実現できるものの、近年要求されるさらなる高密度化、高集積度化、かつ多機能化には限界があり、ウェハーレベルパッケージの構造改革が必要であった。

【0016】また高密度化、高集積度化、多機能化のために、複数の半導体チップをそれらチップどうしを積層させて構成するスタック型の半導体装置が開発されているが、半導体装置自体の信頼性などの構造的な問題、製造過程での問題が頭在化し、また量産レベルでより高効率を実現するための工法の確立には、ウェハーレベル工法での多工数などの問題を有しているのが実状であった。

【0017】本発明は前記従来の課題の解決とともに、近年の高密度パッケージ技術の要望に応えるものであり、半導体ウェハーレベルで高密度半導体装置を製造するに際し、より高効率で製造が可能で、また微細配線加工、配線の信頼性を高めた信頼性の高い半導体装置およびその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】前記従来の課題を解決するために本発明の半導体装置は、表面に少なくとも第1の電極パッドと第2の電極パッドが形成された第1の半導体チップと、前記第1の半導体チップの表面にフリップチップで前記第2の電極パッドと接続して搭載された第2の半導体チップと、前記第1の半導体チップの前記第1の電極パッド上に設けられたボール電極と、前記第1の半導体チップの表面を覆い、少なくとも前記第1の半導体チップと第2の半導体チップとの間隙を封止した樹脂とよりなる半導体装置であって、前記第2の半導体チップの裏面は研削により薄厚加工されているとともに、前記ボール電極の表面も研削され、前記第2の半導体チップの裏面の面と前記ボール電極の表面の面とが略同一面に構成されている半導体装置である。

【0019】そして具体的には、その一端が第1の半導体チップ上の上部が研削されたボール電極と接続し、他端が第2の半導体チップの裏面に延在した配線を有するとともに、前記配線の一部を開口させて前記第1の半導体チップおよび第2の半導体チップの裏面を覆ったレジストを有した半導体装置である。

【0020】また、レジストから開口した配線上に外部端子としてボール電極が設けられている半導体装置である。

【0021】前記構成の通り、本発明の半導体装置は、第1の半導体チップ上に第2の半導体チップがフリップチップ実装された高密度パッケージであり、第2の半導

体チップの裏面の面とポール電極の表面の面とが略同一面に構成されているため、構造上の信頼性も高い半導体装置である。特に第2の半導体チップの裏面上に再配線により電極を引き回して構成した際、上部が研削されたポール電極面と再配線する面、すなわち第2の半導体チップの裏面とが略同一面であるため、配線の断線を防止し、信頼性の高い高密度配線型の半導体装置を実現できるものである。さらに第1の半導体チップの第1の電極バッド上に設けられた電極はポール電極であり、体積的、面積的に大きな容量を有する電極であるため、信号の入出力が高速となり、高速動作の半導体装置を実現できるものである。

【0022】本発明の半導体装置の製造方法は、その表面に少なくとも第1の電極バッドと第2の電極バッドが形成された第1の半導体チップがその面内に複数個形成された半導体ウェハーを用意する第1工程と、前記半導体ウェハー上の前記第1の半導体チップの第1の電極バッドに接続させてポール電極を形成する第2工程と、前記半導体ウェハー上の前記第1の半導体チップの表面上に第2の半導体チップをその表面側を対向させて搭載する第3工程と、前記半導体ウェハー上を樹脂で封止する第4工程と、前記半導体ウェハー上の前記第2の半導体チップの裏面側から、前記ポール電極の上部および前記第2の半導体チップの裏面を研削し、前記ポール電極の表面と前記第2の半導体チップの裏面とを略同一面に形成する第5工程と、よりなる半導体装置の製造方法である。

【0023】そして具体的には、第3工程では、第1の半導体チップの面積よりも小さい第2の半導体チップを搭載する半導体装置の製造方法である。

【0024】また、第3工程では、第1の半導体チップの第2の電極バッドと第2の半導体チップの電極バッドとを接続させてフリップチップ接続して搭載する半導体装置の製造方法である。

【0025】また、第4工程では、少なくとも半導体ウェハー内の第1の半導体チップと第2の半導体チップとの間隙、半導体ウェハー上の突起電極を覆うように封止する半導体装置の製造方法である。

【0026】また、第5工程の後、第6工程として、その一端を半導体ウェハー上のポール電極に接続させ、他端を第2の半導体チップの裏面に延在させた配線を形成する工程を有する半導体装置の製造方法である。

【0027】また、第6工程の後、第7工程として、半導体ウェハー上の第2の半導体チップの裏面に延在した配線上に外部端子としてポール電極を形成する工程を有する半導体装置の製造方法である。

【0028】また、第5工程の後、第6工程として、その一端を半導体ウェハー上の突起電極に接続させ、他端を第2の半導体チップの裏面に延在させた配線を形成するとともに、前記形成した配線の一部を開口させ、前記

半導体ウェハー上をレジストで封止する工程を有する半導体装置の製造方法である。

【0029】また、第6工程の後、第7工程として、半導体ウェハー上の第2の半導体チップの裏面に延在した配線上のレジストから開口した配線上にポール電極を形成する工程を有する半導体装置の製造方法である。

【0030】また、第5工程の以降、最終工程では半導体ウェハー内の第1の半導体チップの各単位に分割して半導体装置を得る工程を有する半導体装置の製造方法である。

【0031】さらに、半導体ウェハー上の第1の半導体チップの第1の電極バッドに接続させてポール電極を形成する第2工程では、第3工程で搭載する第2の半導体チップの裏面よりも高い高さのポール電極を形成する半導体装置の製造方法である。

【0032】前記構成の通り、本発明の半導体装置の製造方法は、第1の半導体チップが形成された半導体ウェハー上に体積的、面積的に他の内部電極よりも大きいポール状の電極を形成し、そのウェハー上に第2の半導体チップを搭載し、ウェハー表面を樹脂で被覆した後に表面側から研削を行うことにより、ポール電極の頭頂部と第2の半導体チップの裏面を同一面にして露出させることができ、半導体ウェハーレベルで高密度半導体装置を製造するに際し、より高効率で製造が可能で、また微細配線加工、配線の信頼性を高めた信頼性の高い半導体装置の製造方法を実現できるものである。さら高い高さのポール電極を形成することにより、第2の半導体チップの裏面側から研削し、第2の半導体チップの裏面とポール電極の頭頂部を面出しが可能になり、高いポール電極の高さを調整して積層チップ構造を実現できるものである。

【0033】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法の一実施形態について、図面を参照しながら説明する。

【0034】まず本実施形態の半導体装置について説明する。

【0035】図1は本実施形態の半導体装置を示す図である。図1において、図1(a)は構成斜視図であり、図1(b)は図1(a)でのB-B1箇所の断面図である。

【0036】図1に示すように、本実施形態の半導体装置としては、リアルチップサイズパッケージ(RCS P)型の半導体装置であって、2つの半導体チップより構成されたチップ積層型のRCS P型半導体装置である。その構成としては、表面に少なくとも第1の電極バッド11と第2の電極バッド12が形成された第1の半導体チップ13と、その第1の半導体チップ13の表面にフリップチップ実装、すなわち表面側を第1の半導体チップ13の表面側に対向され、第2の電極バッド12

と電極パッド14で接続して搭載された第2の半導体チップ15と、第1の半導体チップ13の第1の電極パッド11上に設けられた半円形状のポール状（円柱もしくは角柱）の金（Au）または銅（Cu）材よりなるポール電極16と、第1の半導体チップ13の表面を覆い、少なくとも第1の半導体チップ13と第2の半導体チップ15との間隙を封止した樹脂17によりなる半導体装置であって、第2の半導体チップ15の裏面は研削により50～100[μm]程度の好ましくは70[μm]まで薄厚加工されているとともに、ポール電極16の上部表面も研削されて半円状に形成され、第2の半導体チップ15の裏面の面とポール電極16の表面の面とが略同一面に構成されている半導体装置である。そして一端が第1の半導体チップ13上のポール電極16と接続し、他端が第2の半導体チップ15の裏面に延在した配線18を有するとともに、それら配線18の一部を開口させて第1の半導体チップ13および第2の半導体チップ15の裏面を覆ったソルダーレジストなどのレジスト樹脂19を有した半導体装置であり、レジスト樹脂19から開口した配線18上にポール電極20が設けられ、外部電極としてエリア配置を採用した2チップ積層の高密度配線型の半導体装置である。なお、本実施形態では図示していないが、第2の半導体チップ15の裏面上には絶縁薄膜が形成されているものである。

【0037】そして本実施形態の半導体装置では、必要に応じて配線18によりポール電極16の頭頂部と接続して再配線することにより、外部電極をエリア配置できるものであるが、ポール電極16の頭頂部に直接、ポール電極20などの外部電極要素を付設して、外部電極がペリフェラルタイプの半導体装置を構成してもよい。

【0038】また本実施形態の半導体装置は、第1の半導体チップ13上に第2の半導体チップ15がフリップチップ実装された高密度パッケージであり、第2の半導体チップ15の裏面の面とポール電極16の表面の面とが略同一面に構成されているため、段差部が少ないために構造上の信頼性も高い半導体装置である。特に第2の半導体チップ15の裏面上に再配線により電極を引き回して構成した際、ポール電極16の面と再配線する面、すなわち第2の半導体チップ15の裏面とが略同一面であるため、配線18の断線を防止し、信頼性の高い高密度配線型の半導体装置を実現できるものである。

【0039】また、本実施形態において、樹脂17は低弾性体樹脂であり、弾性率（ヤング率）として10～2000[kg/mm²]の範囲にあることが好ましく、さらに10～1000[kg/mm²]の範囲にあることがより好ましい。また、樹脂17の線膨張率は5～200[ppm/°C]の範囲にあることが好ましく、さらに10～100[ppm/°C]の範囲にあることがより好ましい。例えばエステル結合型ポリイミドやアクリート系エポキシ等のポリマーでよく、低弾性率を有し、

絶縁性であればよい。またその厚みとしては、1～100[μm]であり、好ましくは30[μm]である。さらに本実施形態の半導体装置において、樹脂17としては弾性を有する樹脂の他、基板実装の際の実装方法如何によっては、5[μm]厚以上のポリイミドなどの絶縁性樹脂でもよい。

【0040】また、図1に示したように樹脂17、レジスト樹脂19の端面部は、断面形状において第1の半導体チップ13の端面と同一面に露出しているが、同一面に露出させずとも、第1の半導体チップ13の端部のスクライブライン端を露出させて樹脂、レジスト樹脂の端面部が露出するように構成してもよい。この場合、樹脂17層と第1の半導体チップ13との剥離を防止できる構造となる。

【0041】また本実施形態では、ポール電極20としては半田ボールを採用しているが、金属材料によるバンプ状の突起電極でもよい。

【0042】そして、半導体チップ上に二次元的に外部電極となる配線18が配置されているので、狭い面積に多数の外部電極を設けることが可能となるとともに、パターン形成可能な配線により電極パッドと配線とを接続することができる構造である。したがって、小型で薄型の半導体装置であり、かつ多ピン化に対応できる半導体装置である。しかも微細加工に適し、多ピン化に対応できる半導体装置である。

【0043】さらに、配線18上に半田ボールなどのポール電極20が設けられ、実装配線基板に半導体装置を搭載する工程が極めて簡易かつ迅速に行なうことができる構造となっているが、その際にも、樹脂17により、大きな熱容量を有する半田ボールから発生する熱応力を吸収できる。

【0044】以上の通り、本実施形態の半導体装置は、第1の半導体チップ13上に第2の半導体チップ15がフリップチップ実装された高密度パッケージであり、第2の半導体チップ15の裏面の面とポール電極16の表面の面とが略同一面に構成されているため、構造上の信頼性も高い半導体装置である。特に第2の半導体チップ15の裏面上に再配線により電極を引き回して構成した際、ポール電極16の面と再配線する面、すなわち第2の半導体チップ15の裏面とが略同一面であるため、配線18の断線を防止し、信頼性の高い高密度配線型の半導体装置を実現できるものである。また第1の半導体チップ13の第1の電極パッド11上に設けられた電極はポール電極16であり、体積的、面積的に大きな容量を有する電極であるため、信号の入出力が高速となり、高速動作の半導体装置を実現できるものである。

【0045】次に本実施形態の半導体装置の製造方法について説明する。

【0046】図2、図3、図4は本実施形態の半導体装置の製造方法を示す主要工程ごとの部分的な断面図であ

る。

【0047】本実施形態の半導体装置の製造方法は、半導体ウェハーレベルで半導体装置（半導体パッケージ）を製造する工法であり、信頼性の高いリアルチップサイズパッケージの製造方法である。

【0048】まず図2(a)に示すように、表面に少なくとも第1の電極パッド11と第2の電極パッド12が形成された第1の半導体チップ13がその面内に複数個形成された半導体ウェハー21を用意する。

【0049】次に図2(b)に示すように、用意した半導体ウェハー21上の第1の半導体チップ13の第1の電極パッド11に接続させて半田、金(Au)または銅(Cu)材よりもなるボール状のボール電極16を形成する。ここでは半田よりもなるボール形状に加工したボール電極を搭載することにより300[μm]程度の高さのボール電極を形成する。このボール電極16の形成はメッキ法による成長形成とは異なり、100[μm]超の満足する高さを得るには十分である。また、半導体ウェハー上の第1の半導体チップ13の第1の電極パッド11に接続させてボール電極16を形成する際、この後の工程で搭載する第2の半導体チップの裏面よりも高い高さでボール電極16を形成するものである。

【0050】次に図2(c)に示すように、半導体ウェハー21上の第1の半導体チップ13の表面上に第2の半導体チップ15をその表面側を対向させて搭載する。図中、第2の半導体チップ15の裏面とボール電極16の頭頂部面とは段差があり、ボール電極16の面が高く、第2の半導体チップ15の裏面の方が下方に位置しているものである。またここでは、第1の半導体チップ13の面積よりも小さい第2の半導体チップ15を搭載するものであり、搭載方法としては、第1の半導体チップ13の第2の電極パッド12と第2の半導体チップ15の電極パッド14とを接続させてフリップチップ接続して搭載するものである。したがって、第1の半導体チップ13の第2の電極パッド12、もしくは第2の半導体チップ15の電極パッド14上にバンプを予め形成してフリップチップ実装してもよい。

【0051】次に図2(d)に示すように、半導体ウェハー21の上面(表面)側を樹脂17で全面的に一括封止する。樹脂17で封止する領域としては、少なくとも半導体ウェハー21内の第1の半導体チップ13と第2の半導体チップ15との間隙を充填し、さらにボール電極16の頭頂部を覆い、また第2の半導体チップ15の裏面近傍までの厚み程度で封止する。そしてこの工程では基本的に全面一括封止であるため、量産に適している。また、トランസ്ഫারモールドによりウェハー全面を一括封止するが、各半導体チップ間を区切るスクライブラインを開口させて樹脂17で封止してもよい。スクライブラインを開口させて樹脂17で封止することにより、後工程でダイシングする際、樹脂17と半導体チッ

プ(第1の半導体チップ13)との間の剥離を防止し、信頼性低下を防止できる。この場合は、感光性を有する絶縁性の低弾性の樹脂材料を所望の厚みで塗布して乾燥することにより樹脂層を形成し、乾燥された樹脂層に対して露光と現像とを順次行って、スクライブラインの部分を開口させて樹脂を形成する。感光性を有する樹脂材料としては、例えばエステル結合型ポリイミドやアクリレート系エポキシ等のポリマーでよく、低弾性率を有し、絶縁性であればよい。また、感光性を有する樹脂材料は液状材料を乾燥させて形成する必要はなくフィルム状に予め形成された材料を用いても構わない。その場合には、フィルム状の樹脂材料を半導体ウェハー上に貼りあわせ、露光、現像することで樹脂材料に開口部を形成することができ、半導体ウェハー上の必要箇所を露出させることができる。さらに、感光性を有さない樹脂材料の場合は、レーザーやプラズマによる機械的な加工もしくはエッチングなどの化学的加工により、半導体ウェハー上の必要箇所を露出させることができる。

【0052】次に図3(a)に示すように、半導体ウェハー21上の第2の半導体チップ15の裏面側から、ボール電極16の上部およびその第2の半導体チップ15の裏面を樹脂17とともに研削し、ボール電極16の表面(頭頂部)と第2の半導体チップ15の裏面とを略同一面に形成する。ここでは通常使用する半導体ウェハーの裏面を研削するバッケグラインダーを用いて第2の半導体チップ15の裏面側から研削し、第2の半導体チップ15の厚みを薄厚加工するとともに、ボール電極16も研削して断面形状で半円形状とし、両者面を同一面に加工する。薄厚加工する厚みとしては、50~100

30 [μm]程度の好ましくは70[μm]厚まで第2の半導体チップ15の厚みを研削することにより、ボール電極16の頭頂部の面も整合され、ボール電極16の表面(頭頂部)と第2の半導体チップ15の裏面とが同一面に形成される。なお第2の半導体チップ15の厚みとしては、最終の第1の半導体チップ13の厚みとの応力バランスを考慮して設定するものである。本実施形態では第1の半導体チップ13厚(半導体ウェハー21厚)は200[μm]に設定している。

【0053】本実施形態では、ボール電極16の高さを確保しつつ、第2の半導体チップ15の裏面側から研削することにより、第2の半導体チップ15の裏面とボール電極16の頭頂部を面出しすることが可能になり、第2の半導体チップ15の高さに整合させて積層チップ構造を実現できるものである。

【0054】以上の工程により、第1の半導体チップ13上に第2の半導体チップ15が積層搭載され、ボール電極16の頭頂部が露出し、表面領域が樹脂17で被覆封止された構造が実現するが、この段階で個々の第1の半導体チップ13単位にダイシングして分割することにより、半導体装置を形成することができる。この段階で

形成した半導体装置は、ポール電極16の頭頂部が露出し、その配置はペリフェラル配置であるチップサイズの半導体装置であり、ポール電極16上にさらに外部端子としてのポール電極（半田ボール）を付設することにより、基板実装に適した構造を実現することができる。

【0055】次に、前工程に統いて、エリアアレイタイプの半導体装置を形成する工程を説明する。

【0056】図3(b)に示すように、その一端を半導体ウェハー21上の半円状のポール電極16の表面に接続させ、他端を第2の半導体チップ15の裏面に延在させた配線18を形成し、再配線を行う。この場合、エリアアレイを構成するよう、配線18を所望に応じて引き回すものである。

【0057】具体的には、まず半導体ウェハー21上の第2の半導体チップ15の裏面、ポール電極16において、真空蒸着法、スパッタリング法、CVD法又は無電解めっき法によって例えば厚みが0.2[μm]程度のチタン(Ti)膜とその上に形成された厚みが0.5

[μm]程度の銅(Cu)膜からなる薄膜金属層を形成する。そして形成した薄膜金属層上にネガ型感光性レジストを塗布し、仕上げ製品の所望のバターン部以外を硬化し、反応部を除去することでメッキレジスト膜を形成する。ここではメッキレジスト膜を形成する際にネガ型感光性レジストを用いたが、ポジ型感光性レジストを用いてもよいことは言うまでもない。そして電解めっき法により、メッキレジスト膜が形成された箇所以外の薄膜金属層の上に、例えばCu膜からなる厚膜金属層を例えば20[μm]程度の厚みで選択的に形成する。そして厚膜金属層の形成後、メッキレジスト膜を溶融除去する。そして薄膜金属層と厚膜金属層とを溶融することのできるエッティング液、例えばCu膜に対しては塩化第二銅溶液で、Ti膜に対してはEDTA溶液で全面エッティングすると、厚膜金属層よりも層厚が薄い薄膜金属層が先行して除去される。この工程によって、第2の半導体チップ15の裏面に延在し、ポール電極16と接続した配線18を形成することができる。

【0058】なお、薄膜金属層や厚膜金属層を構成する材料としてCuを使用したが、これに代えてCr、W、Ti/Cu、Ni等を使用してもよい。また、薄膜金属層と厚膜金属層とをそれぞれ異なる金属材料により構成しておき、最終的なエッティング工程では薄膜金属層のみを選択的にエッティングするエッチャントを用いてよい。

【0059】次に図3(c)に示すように、形成した配線18の一部をポール電極付設領域(コンタクトパッド)として開口させ、半導体ウェハー21上をソルダーレジストなどのレジスト樹脂19で封止する。

【0060】具体的には、感光性のソルダーレジスト膜(絶縁性樹脂)を塗布した後に、フォトリソグラフィー技術を使用して、開口したい配線18の部分、および必

要に応じて半導体ウェハー21の各半導体チップ間のダイシングスクライブラインが露出するようにしてソルダーレジスト膜を形成する。このソルダーレジスト膜によって、配線18などが実装時の溶融した半田から保護される。

【0061】次に図3(d)に示すように、半導体ウェハー21上の第2の半導体チップ15の裏面に延在した配線18上のレジスト樹脂19から開口した配線18上に外部端子としてのポール電極20を形成する。ここではポール電極20として半田ボールを付設する。

【0062】具体的には、半田、半田めっきされた銅、ニッケル等からなる金属製のポール電極20をレジスト樹脂から開口して露出した配線18上に載置して、ポール電極20と配線18とを溶融接合させるものである。

【0063】次に図4(a)に示すように、最終工程では半導体ウェハー21内の第1の半導体チップ13の各単位にスクライブラインで分割して半導体装置を得る。ここでは半導体ウェハー21の各第1の半導体チップ13間のダイシングスクライブラインに対して、回転ブレード22による切断で個々の半導体チップ単位に分割する。

【0064】ここで図4(a)では樹脂17とともに半導体ウェハーを切断分割する状態を示しているが、半導体ウェハーのダイシングスクライブライン上に樹脂、レジスト樹脂を存在させていない場合、個片化の際のブレード切断では、樹脂、レジスト樹脂に対しては切断時の衝撃、外圧が印加されず、半導体ウェハーと樹脂との間に剥離が発生するのを防止できるものである。

【0065】そして図4(b)に示すように、半導体ウェハーから個片化することにより、図1に示した構造同様、2つの半導体チップより構成されたチップ積層型のRCSPI型半導体装置を製造できるものである。また図4(c)に示すように、第1の半導体チップ13の裏面側を研削により薄厚にしてもよい。この第1の半導体チップ13、第2の半導体チップ15の厚みは、各チップ面積、形状、樹脂厚によるチップの反り、またはフリップチップ接続部分に印加される応力などの影響を考慮して設定することにより、より信頼性が高く、また基板実装時の信頼性も高い半導体装置を実現することができる。

【0066】以上、本実施形態の半導体装置は、第1の半導体チップ上に第2の半導体チップがフリップチップ実装された高密度パッケージであり、第2の半導体チップの裏面の面と突起電極の表面の面とが略同一面に構成されているため、構造上の信頼性も高い半導体装置である。特に第2の半導体チップの裏面上に再配線により電極を引き回して構成した際、突起電極面と再配線する面、すなわち第2の半導体チップの裏面とが略同一面であるため、配線の断線を防止し、信頼性の高い高密度配線型の半導体装置を実現できるものである。また本実施

形態の半導体装置の製造方法は、第1の半導体チップが形成された半導体ウェハーにポール状の突起電極を形成し、そのウェハー上に第2の半導体チップを搭載し、ウェハー表面を樹脂で被覆した後に表面側から研削を行うことにより、突起電極の頭頂部と第2の半導体チップの裏面を同一面にして露出させることができ、半導体ウェハーレベルで高密度半導体装置を製造するに際し、より高効率で製造が可能で、また微細配線加工、配線の信頼性を高めた信頼性の高い半導体装置の製造方法を実現できるものである。特にウェハー状態で一括的な処理を採用しているため、量産的な優れた製造工法である。

【0067】

【発明の効果】以上、実施形態で詳細に説明した通り、本発明の半導体装置は、チップ積層型の高密度パッケージであり、第2の半導体チップの裏面の面とポール電極の表面の面とが略同一面に構成されているため、構造上の信頼性も高い半導体装置を実現できる。さらに第1の半導体チップの第1の電極パッド上に設けられた電極はポール電極であり、体積的、面積的に大きな容量を有する電極であるため、信号の入出力が高速となり、高速動作の半導体装置を実現できるものである。

【0068】また本発明の半導体装置の製造方法は、半導体ウェハーで半導体装置（半導体パッケージ）を製造する優れた工法であり、量産性に適し、信頼性の高いリアルチップサイズパッケージ型の半導体装置の製造方法を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す図
【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図

* 【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図5】従来の半導体装置を示す図

【図6】従来の半導体装置の製造方法を示す断面図

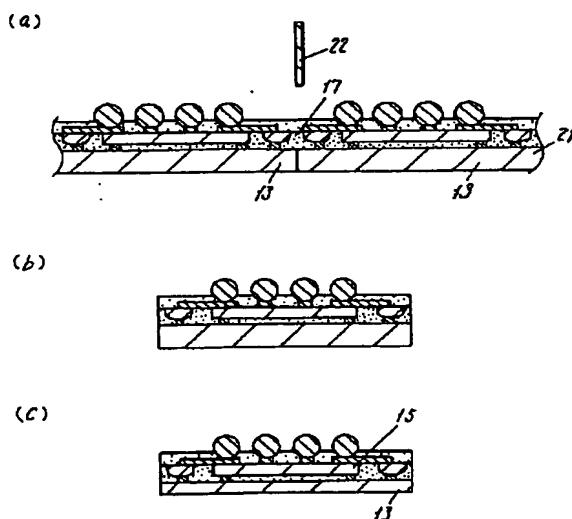
【図7】従来の半導体装置の製造方法を示す断面図

【符号の説明】

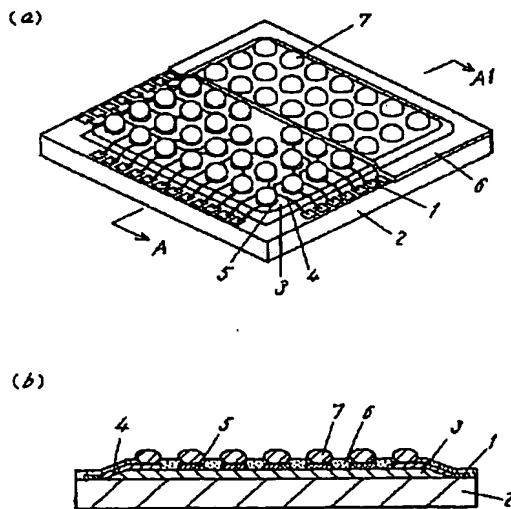
1	電極パッド
10	2 半導体チップ
	3 絶縁層
	4 配線層
	5 コンタクトパッド
	6 絶縁性樹脂層
	7 突起電極
	8 半導体ウェハー
	9 ダイシングスクリーヴライン
10	10 回転ブレード
11	11 第1の電極パッド
20	12 第2の電極パッド
	13 第1の半導体チップ
	14 電極パッド
	15 第2の半導体チップ
	16 ポール電極
	17 樹脂
	18 配線
	19 レジスト樹脂
	20 ポール電極
	21 半導体ウェハー
	22 回転ブレード

*30

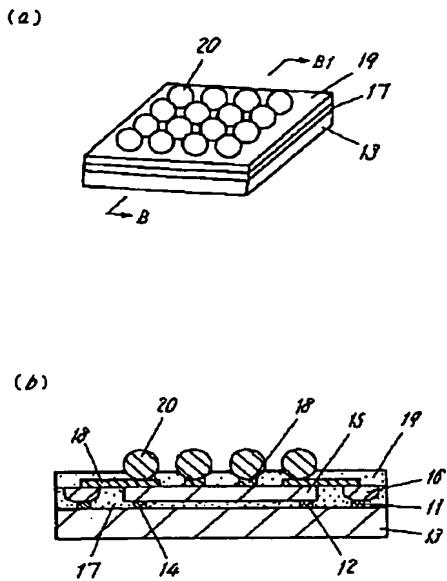
【図4】



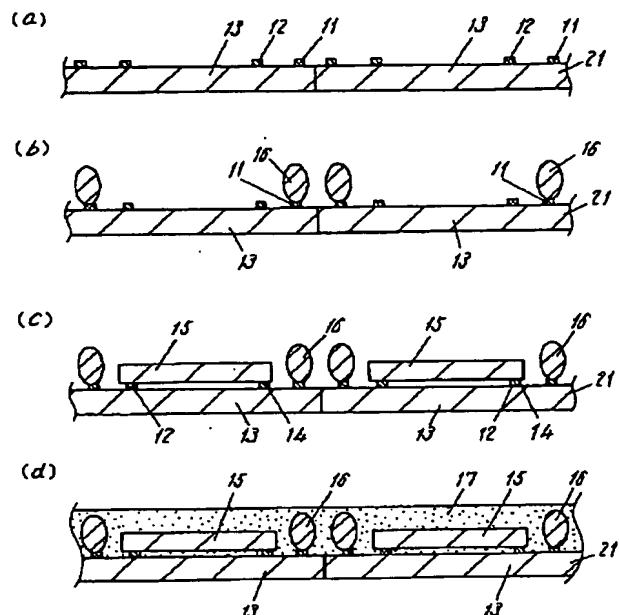
【図5】



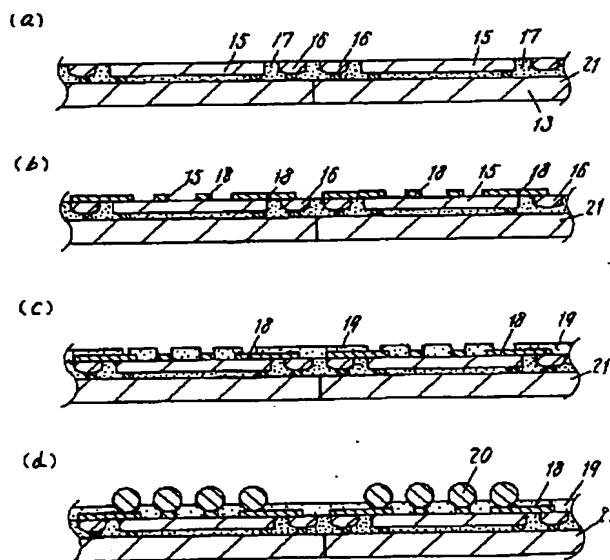
【図1】



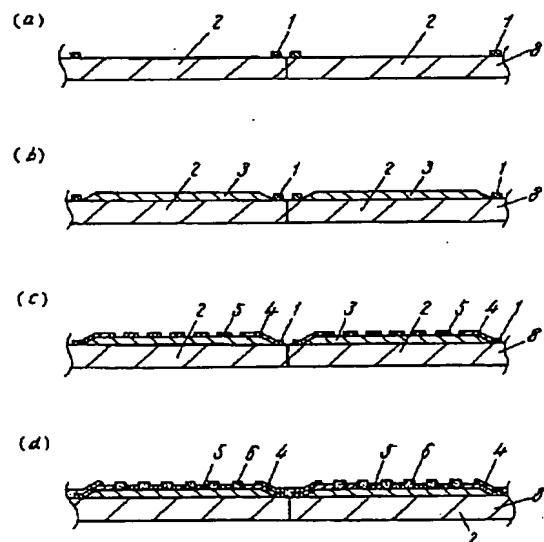
【図2】



【図3】



【図6】



【図7】

